

04-165
PCT/JP 2004/013433
24. 9. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

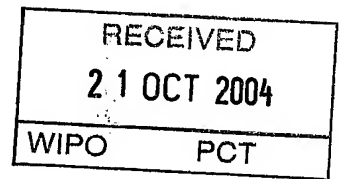
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 2 月 4 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 4 0 5 6 0 1
[ST. 10/C]: [J P 2 0 0 3 - 4 0 5 6 0 1]

出 願 人
Applicant(s): 日 本 電 気 株 式 有 限 公 司

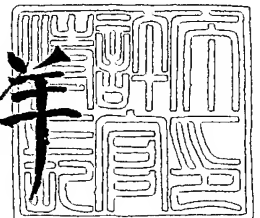


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



出証番号 出証特 2 0 0 4 - 3 0 6 8 9 8 1

【書類名】 特許願
【整理番号】 33409983
【提出日】 平成15年12月 4日
【あて先】 特許庁長官殿
【国際特許分類】 H03G 3/00
H03G 5/00
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 堀 真一
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100083839
【弁理士】
【氏名又は名称】 石川 泰男
【電話番号】 03-5443-8461
【代理人】
【識別番号】 100109139
【弁理士】
【氏名又は名称】 今井 孝弘
【電話番号】 03-5443-8461
【手数料の表示】
【予納台帳番号】 007191
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0116381

【書類名】 特許請求の範囲**【請求項 1】**

入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力側端子と出力側端子と接地側端子とを有する入力部能動素子と、

前記入力部能動素子の出力側端子の電位に基づいて、前記入力部能動素子の変換利得を制御する電位制御回路と、

前記電位制御回路から出力された電圧信号に対応した電流を出力する出力部電圧・電流変換回路と、

前記入力部能動素子の出力側端子から当該入力部能動素子に流れる直流電流量に応じて、直流電流を出力する、当該入力部能動素子の出力側端子に接続された電流補償回路と

を有することを特徴とする利得可変電圧・電流変換回路。

【請求項 2】

前記電位制御回路は、第一入力側端子に電位制御信号が入力され、第二入力側端子に前記能動素子の出力側端子が接続された電圧比較回路と、

入力側端子に前記電圧比較回路の出力側端子が接続され、出力側端子に前記入力部能動素子の出力側端子が接続された電圧・電流変換を行う媒介能動素子と、

を有することを特徴とする請求項 1 に記載の利得可変電圧・電流変換回路。

【請求項 3】

前記電圧比較回路はオペアンプで構成されることを特徴とする請求項 2 に記載の利得可変電圧・電流変換回路。

【請求項 4】

前記電流補償回路は、入力側端子に電流補償電圧信号が入力され、出力側端子に前記入力部能動素子の出力側端子が接続された能動素子を有することを特徴とする、請求項 1 乃至 3 の何れか 1 項に記載の利得可変電圧・電流変換回路。

【請求項 5】

前記電流補償電圧信号の生成回路は、第一入力端子に参照電圧信号が入力され、第二入力端子に請求項 2 に記載の媒介能動素子の複製回路の入力電圧信号が入力されたオペアンプと、

当該オペアンプの出力端子に入力端子が接続され当該出力端子が前記入力部能動素子の複製回路の出力側端子に接続された能動素子と

を有することを特徴とする、請求項 2 乃至 4 の何れか 1 項に記載の利得可変電圧・電流変換回路。

【請求項 6】

前記利得可変電圧・電流変換回路を構成する能動素子が、電界効果トランジスタまたはバイポーラトランジスタによって構成されていることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の利得可変電圧・電流変換回路。

【請求項 7】

請求項 1 乃至 6 の何れか 1 項に記載された利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記利得可変電圧・電流変換回路の利得を変化させることにより通過周波数帯域を調整することを特徴とするフィルタ回路。

【書類名】 明細書

【発明の名称】 利得可変電圧・電流変換回路とこれを用いたフィルタ回路

【技術分野】

【0001】

本発明は、変換利得が可変の電圧・電流変換回路（以下 g_m アンプと称する。）に関し、特に広い利得可変範囲を有する利得可変電圧・電流変換回路に関するものである。

【背景技術】

【0002】

近年、複数の無線通信方式に対応した受信機（以下マルチモード対応受信機と称する。）の出現が求められている。このシステムを構成するためには、それぞれの通信方式に対応したチャンネル選択フィルタ回路（以下マルチモード対応フィルタと称する。）が必要であり、このフィルタには、通過帯域幅を広範囲に渡って可変にできる機能が求められている。一般的に受信機をワンチップで構成する場合には、チャンネル選択フィルタとして、 g_m アンプと容量 C とで構成する、いわゆる g_m - C 方式が使われる。先にあげた通過帯域幅に可変特性の機能を持たせるためには、 g_m アンプに、広範囲に渡って変換利得を持たせる必要が有る。

【0003】

g_m アンプは、具体的には、バイポーラトランジスタ・MOS トランジスタ等のアクティブ素子で構成されるが、実際の設計においては、プロセスバラツキに対応するために、相互コンダクタンス値（以下 G_m 値と称する。）を設計値に対して、 $-30\% \sim +30\%$ の間で電氣的に制御可能にしているものが多い。その範囲を超えて調整するためには、スイッチ回路を用いて切り替える方式が一般的である。

【0004】

図13は、第1の従来例を示した回路図である（例えば、非特許文献1参照）。図13（a）は全体の構成を示す回路図であり、図13（b）は、図13（a）図中のプログラマブルカレントミラー（Programmable Current Mirror）回路の内部構成を示す回路図である。図13において、Q330、Q340、Q350およびQ360はp型MOS トランジスタ、Q370、Q380、Q390、Q400、Q410、Q420、Q430、Q440、Q450およびQ460はn型MOS トランジスタ、CS400、CS500およびCS600は電流源、V1は電圧源、SW500、SW600およびSW700はスイッチ回路である。出力電流信号 I_{out} は、並列配置されたn型MOS トランジスタQ410、Q420およびQ430から供給される。n型MOS トランジスタQ410、Q420およびQ430は、それぞれスイッチ回路SW500、SW600およびSW700によって選択される構成になっている。

【0005】

差動の入力電圧信号 V_{in+} がMOS トランジスタQ330およびQ340のゲート端子に入力され、もう一方の差動の入力電圧信号 V_{in-} がMOS トランジスタQ350およびQ360のゲート端子に入力されると、この4つのMOS トランジスタによって、2つのプログラマブルカレントミラー回路G1およびG2に、差動入力電圧に対応した差動成分を持った電流が流れる。プログラマブルカレントミラー回路G1およびG2では、スイッチ回路SW500、SW600およびSW700を切り替えることにより、差動成分を持った電流を所望の倍率に増幅して出力電流信号 I_{out} を出力することができる。

【0006】

図13（b）に示されたカレントミラー回路G1およびG2では、スイッチ回路SW500およびSW600が電源電圧側に接続されており、n型MOS トランジスタQ410およびQ420が動作状態となっている。この状態から G_m 値を下げるには、スイッチ回路SW600を接地側に切り替えることにより、n型MOS ト

ランジスタ Q420 が非動作状態となり Gm 値が下がる。図示された状態から Gm 値を上げるには、スイッチ回路 SW700 を電源電圧側に切り替えることにより、n 型 MOS トランジスタ Q430 が動作状態となり Gm 値が上がる。このカレントミラー回路の特徴の一つは、スイッチ回路の一端を、MOS トランジスタのゲート端子に接続するため、スイッチ回路の寄生成分（抵抗・容量成分等）の影響が少なくなることである。また、並列接続させる MOS トランジスタの数を増やすほど Gm 値の可変幅を大きくすることができるという特徴がある。

【0007】

図 14 は第 2 の従来例を示した回路図である（例えば、非特許文献 2 参照）。

【0008】

第 2 の従来例は、n 型 MOS トランジスタ Q100 および Q400、p 型 MOS トランジスタ Q200 および Q300、定電流源 CS200 から構成される。p 型 MOS トランジスタ Q2 および Q3 のサイズパラメータは等しく設定されている。n 型 MOS トランジスタ Q100 は、三極管領域で動作し、入力電圧信号 Vin がゲート端子に入力されると、次の式に従って電流信号を出力する。

【0009】

【数 1】

$$I_{ds} = \beta \cdot (V_{gs} - V_{th} - \frac{1}{2} V_{ds}) \cdot V_{ds} \quad \text{式 (1)}$$

また、Gm 値は、式 (1) の両辺を V_{gs} で微分することにより、次の式で与えられる。

【0010】

【数 2】

$$G_m = \beta \cdot V_{ds} \quad \text{式 (2)}$$

β は定数、 V_{th} は閾値、 V_{gs} はゲート・ソース間電圧、 V_{ds} はドレイン・ソース間電圧である。図 14 における Vin は式 (2) のゲート・ソース間電圧 V_{gs} に相当し、ノード N1 の電位 VN100 は、式 (2) のドレイン・ソース間電圧 V_{ds} に相当する。

【0011】

飽和領域にある n 型 MOS トランジスタ Q400 のゲート端子に制御電圧 Vt100 が入力されると、n 型 MOS トランジスタ Q400 のドレイン・ソース間には次の式に従った電流 I_{ds} が流れる。

【0012】

【数 3】

$$I_{ds} = \frac{\beta}{2} (V_{tune} - V_N - V_{th})^2 \quad \text{式 (3)}$$

ここで、 V_{tune} は Vt100、 V_N はノード N1 の電位である電位 VN100、 V_{th} は、n 型 MOS トランジスタ Q400 の閾値である。 I_{ds} は、定電流源 CS200 から供給される電流であるため、電位 VN100 は、式 (3) から一意に決まる。n 型 MOS トランジスタ Q100 のゲート電圧が変動して、電位 VN100 がより高い電位になると、n 型 MOS トランジスタ Q400 のゲート・ソース間電圧は小さくなるので、ノード N2 の電位 VN200 は上昇する。電位 VN200

0 は、p 型 MOS トランジスタ Q 200 のゲート電圧であるため、p 型 MOS トランジスタ Q 200 の反転増幅作用により、V N 100 の電位は高い電位から低い電位へ引き戻される。

【0013】

逆に、電位 V N 100 がより低い電位になると、同様の原理が逆に作用して、電位 V N 100 の電位は高い電位から低い電位へ引き戻される。結局、電位 V N 100 である V N

は、式 (3) と V_{tune} である V_{t100} とから決定される値に固定される。すなわち、式 (2) の V_{ds} は n 型 MOS トランジスタ Q 100 のゲート入力電圧に対して固定される。したがって、n 型 MOS トランジスタ Q 100 の電圧・電流変換特性は、高い線形性を持つ。また、制御電圧 V_{t100} により、電位 V N 100 の調整が可能であるので、式 (2) のドレイン・ソース間電圧 V_{ds} に電位 V N 100 を代入した式に従って、n 型 MOS トランジスタ Q 100 の G_m 値を調整できる。

【0014】

電位 V N 100 が固定された状態においては、n 型 MOS トランジスタ Q 100 のゲート端子に入力された電圧信号は、式 (1) に基づいて n 型 MOS トランジスタ Q 100 の電流信号に変換される。n 型 MOS トランジスタ Q 100 の電流信号は、p 型 MOS トランジスタ Q 200 および Q 400 で構成された帰還回路内部において、ノード N 2 の電圧信号 V N 200 に変換されたのち、p 型 MOS トランジスタ Q 300 の電流信号 I_{out} として出力される。p 型 MOS トランジスタ Q 200 と Q 300 の MOS トランジスタのサイズパラメータは等しいため、n 型 MOS トランジスタ Q 100 の電流信号と I_{out} は、等しい。従って、本従来例の電圧・電流変換特性は、n 型 MOS トランジスタ Q 100 の電圧・電流変換特性と等しく、高い線形性を持つ。また、n 型 MOS トランジスタ Q 100 の G_m 値は制御電圧 V_{t100} によって調整可能であるため、本従来例の G_m 値も V_{t100} により調整可能である。

【0015】

さらに、本従来例は、電源とグランドの間に MOS トランジスタを 2 個あるいは 3 個のみを配置して構成されるため、低電圧電源に対しても、各 MOS トランジスタに十分なバイアス電圧を与えることができる。このため、この回路の入力ダイナミックレンジは大きい。

【非特許文献 1】IEEE JSSC vol.37, no.2, pp. 125-136, Feb. 2002

【非特許文献 2】Proc. ESSCIRC 2002, pp. 647-650, 2002.

【発明の開示】

【発明が解決しようとする課題】

【0016】

上述した第一の従来例では、 g_m アンプに広い利得可変範囲を持たせることが可能となる。しかし、スイッチ回路を用いる必要があるため、スイッチ回路の制御用にデジタル回路を必要とし、MOS トランジスタに使用されるアナログ回路とデジタル回路が混在した複雑な回路構成となる。その結果、チップ面積の増大を招いていた。第二の従来例の回路は、スイッチ回路を使用しないため、スイッチ回路の制御用デジタル回路を必要としない。したがって、チップ面積が小さくなるが、広い範囲に渡る利得調整を試みると、MOS トランジスタの動作点を所望の領域に維持することが困難になるため、電圧・電流変換する場合に著しい線形性の劣化を招いていた。

【0017】

本発明の課題は、上述した従来回路の問題点を解決することであって、その目的は、第 1 に、デジタル制御回路を必要とせず、一つの制御端子に調整電圧を与えることによって、電圧・電流変換の線形特性を高く維持し、広範囲にわたって利得を

変化させることができる利得可変電圧・電流変換回路を実現することである。第2に、回路構造の簡易化を図り、チップ面積の低減を実現することである。第3に、通過帯域可変幅の大きいフィルタを簡素な回路構成を使用して実現できるようにして、低チップ面積のマルチモード対応受信機を実現できるようにすることである。

【課題を解決するための手段】

【0018】

上記課題を解決するために、請求項1に記載の発明は、入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力側端子と出力側端子と接地側端子とを有する入力部能動素子と、前記入力部能動素子の出力側端子の電位に基づいて、前記入力部能動素子の変換利得を制御する電位制御回路と、前記電位制御回路から出力された電圧信

号に対応した電流を出力する出力部電圧・電流変換回路と、前記入力部能動素子の出力側端子から当該入力部能動素子に流れる直流電流量に応じて、直流電流を出力する、当該入力部能動素子の出力側端子に接続された電流補償回路とを有することを特徴とする。

【0019】

請求項1に記載の発明によれば、電圧・電流変換を行う能動素子の出力端子に電流補償回路が接続される。電流補償回路は、変換利得を調整した際に生じる、該能動素子の直流電流の変化分を補う。このため、その他の回路素子の動作点変動を最小限に留めることができる。したがって、利得調整を行っても、各回路素子は、利得調整前とはほぼ同様の状態での動作が可能となるので、広範囲にわたって、安定した利得可変が可能となる。

【0020】

また、請求項2に記載の発明は、請求項1に記載の利得可変電圧・電流変換回路において、前記電位制御回路は、第一入力側端子に電位制御信号が入力され、第二入力側端子に前記能動素子の出力側端子が接続された電圧比較回路と、入力側端子に前記電圧比較回路の出力側端子が接続され、出力側端子に前記入力部能動素子の出力側端子が接続された電圧・電流変換を行う媒介能動素子とを有することを特徴とする。

【0021】

また、請求項3に記載の発明は、請求項2に記載の利得可変電圧・電流変換回路において、前記電圧比較回路はオペアンプで構成されることを特徴とする。

【0022】

また、請求項4に記載の発明は、請求項1乃至3の何れか1項に記載の利得可変電圧・電流変換回路において、前記電流補償回路は、入力側端子に電流補償電圧信号が入力され、出力側端子に前記入力部能動素子の出力側端子が接続された能動素子を有することを特徴とする。

【0023】

また、請求項5に記載の発明は、請求項2乃至4の何れか1項に記載の利得可変電圧・電流変換回路において、前記電流補償電圧信号は、第一入力端子に参照電圧信号が入力され、第二入力端子に請求項2記載の媒介能動素子の複製回路の入力電圧信号が入力されたオペアンプと、当該オペアンプの出力端子に第一入力端子が接続され当該出力端子が前記入力部能動素子の複製回路の出力側端子に接続された能動素子とを有することを特徴とする。

【0024】

また、請求項6に記載の発明は、請求項1乃至5の何れか1項に記載の利得可変電圧・電流変換回路において、前記利得可変電圧・電流変換回路を構成する能動素子が、電界効果トランジスタまたはバイポーラトランジスタによって構成されていることを特徴とする。

【0025】

請求項 6 に記載の発明によれば、回路素子を全て MOS トランジスタやバイポーラトランジスタによって構成することが可能である。また、単一の制御信号によって利得を調整することができるうえ、デジタル制御回路を必要としないので、少ない回路素子数でコンパクトな利得可変電圧・電流変換回路を形成することが可能になる。

【0026】

また、請求項 7 に記載の発明は、請求項 1 乃至 6 の何れか 1 項に記載された利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記利得可変電圧・電流変換回路の利得を変化させることにより通過周波数帯域を調整することを特徴とする。

【0027】

請求項 7 に記載の発明によれば、このように構成された利得可変電圧・電流変換回路と容量素子とを組み合わせることにより、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現することが可能になる。

【発明を実施するための最良の形態】

【0028】

次に、本発明を実施するための最良の形態について図面を参照して詳細に説明する（第 1 の実施形態）

図 1 (a) は、本発明の第 1 の実施形態を示す回路図であり、図 1 (b) は、図 1 (a) 中の p 型 MOS トランジスタ Q 2 の動作図である。本実施形態では、電圧・電流変換を行う入力部能動素子として n 型 MOS トランジスタ Q 1 が用いられ、電位制御回路として、p 型 MOS トランジスタ Q 2 が用いられる。また、電流補償回路として可変電流源 CS 1 1 が用いられ、出力部電圧・電流変換回路として p 型 MOS トランジスタ Q 3 が用いられた回路となっている。オペアンプ OA 1 は入力部能動素子の出力端子に接続され、p 型 MOS トランジスタ Q 2 のゲート端子はオペアンプ OA 1 の出力端子に接続され、p 型 MOS トランジスタ Q 2 のドレイン端子は n 型 MOS トランジスタ Q 1 のドレイン端子と接続されている。p 型 MOS トランジスタ Q 3 のゲート端子は、p 型 MOS トランジスタ Q 2 のゲート端子に接続され、p 型 MOS トランジスタ Q 3 と p 型 MOS トランジスタ Q 2 とは同じサイズパラメータを持つ。n 型 MOS トランジスタ Q 1 のゲート端子に入力される電圧信号には、n 型 MOS トランジスタ Q 1 の動作点を飽和領域にバイアスする直流電圧が含まれる。

【0029】

図 1 (a) における、利得可変電圧・電流変換回路の動作原理を以下に述べる。

【0030】

ノード N 1 における電位 V_{N1} は、オペアンプ OA 1 と p 型 MOS トランジスタ Q 2 とで構成された帰還回路により、次の原理で制御電圧 V_{t10} に固定されている。電位 V_{N1} が制御電圧 V_{t10} より高い値になると、オペアンプ OA 1 はいわゆるハイ (HIGH) レベルの電圧を出力する。この電圧が p 型 MOS トランジスタ Q 2 のゲート端子に入力されると、p 型 MOS トランジスタ Q 2 の反転増幅作用で電位 V_{N1} は高い電圧から低い電圧に引き戻される。逆に、電位 V_{N1} が制御電圧 V_{t10} より低い値になると、オペアンプ OA 1 はいわゆるロウ (LOW) レベルの電圧を出力する。この電圧が p 型 MOS トランジスタ Q 2 のゲート端子に入力されると、p 型 MOS トランジスタ Q 2 の反転増幅作用で電位 V_{N1} は低い電圧から高い電圧に引き戻される。したがって、ノード N 1 における電位 V_{N1} は、制御電圧 V_{t10} に等しい状態に固定される。

【0031】

n 型 MOS トランジスタ Q 1 のゲート端子に入力される電圧信号 V_{in} には、n 型 MOS トランジスタ Q 1 の動作点を三極管領域にバイアスさせる直流電位が含まれるので、ゲート端子に入力された電圧信号 V_{in} は、式 (1) に従って、電流信

号に変換される。電位 V_{N1} は制御電圧 V_{t10} と同じ値に固定されるため、式 (2) の n 型 MOS トランジスタ $Q1$ のドレイン・ソース間電圧 V_{ds} は固定値となるので、 G_m 値は固定値となる。したがって、 n 型 MOS トランジスタ $Q1$ の電圧電流変換特性の線形性が高くなる。この電流信号は、オペアンプ $OA1$ と p 型 MOS トランジスタ $Q2$ とにより構成した帰還回路内部において、ノード $N2$ における電圧信号に変換されたのち、 p 型 MOS トランジスタ $Q3$ の電流信号 I_{out} として出力される。また、 p 型 MOS トランジスタ $Q2$ と $Q3$ とは、MOS トランジスタのサイズパラメータが等しいので、 p 型 MOS トランジスタ $Q2$ の電流信号 I_{Q2} と p 型 MOS トランジスタ $Q2$ の電流信号 I_{out} とは等しい。 n 型 MOS トランジスタ $Q1$ の電圧電流変換特性の線形性は高いので、入力電圧信号 V_{in} に対する出力電流信号 I_{out} の変換特性の線形性も高い。

【0032】

また、制御電圧 V_{t10} を変化させると、それに対応してノード $N1$ における電位 V_{N1} が変化する。電位 V_{N1} は、式 (2) の V_{ds} に等しいので、式 (2) の n 型 MOS トランジスタ $Q1$ の G_m 値は、制御電圧 V_{t10} を変化させることによって調整できる。すなわち、 G_m 値を高く設定するために、制御電圧 V_{t10} を上げると、電位 V_{N1} が上昇する。式 (1) のドレイン・ソース間電圧 V_{ds} は電位 V_{N1} に相当するため、ドレイン・ソース電圧 V_{ds} に電位 V_{N1} を代入すると、式 (1) のドレイン・ソース電流 I_{ds} に相当する n 型 MOS トランジスタ $Q1$ のバイアス電流 I_{Q1} が増加することがわかる。

制御電圧 V_{t10} を上げた場合、オペアンプ $OA1$ の出力端子であるノード $N2$ の直流電位 V_{N2} が下がるので、 p 型 MOS トランジスタ $Q2$ のゲート電位も下がる。その結果、 p 型 MOS トランジスタ $Q2$ のゲート・ソース間電圧 V_{Q2gs} の絶対値が大きくなるので、 p 型 MOS トランジスタ $Q2$ のバイアス電流 I_{Q2} が増加する。直流電位 V_{N2} が外部参照電圧 V_{ref} に等しくなるまで下がると、それ以降の、 n 型 MOS トランジスタ $Q1$ のバイアス電流 I_{Q1} の増加分は、可変電流源 $CS11$ から供給されるように電圧比較器 1 から可変電流源 $CS11$ に信号が出力される。この構成により、 G_m 値を高い値に調整しても、ノード $N2$ の直流電位 V_{N2} は、外部参照電圧 V_{ref} を下回らないため、 p 型 MOS トランジスタ $Q2$ の動作点は、制御電圧 V_{t10} の広い調整範囲に渡って飽和領域に維持される。すなわち、本実施の形態においては、広い G_m 値調整範囲において、各素子の動作点を所望の動作領域内に維持することができ、高い線形性を保つことが可能となる。

【0033】

図 1 (b) に、 G_m 値を調整した時の、 p 型 MOS トランジスタ $Q2$ の動作点が遷移する様子を、可変電流源 $CS11$ が $Q2$ のドレイン端子に接続されていない場合と接続されている場合とで比較する。

【0034】

可変電流源 $CS11$ が p 型 MOS トランジスタ $Q2$ のドレイン端子に接続されていない場合においては、制御電圧 V_{t10} を十分小さな値から大きくしていくと、 $Q2$ の動作点は $S5$ から $S1$ に向かって移動する。そして、ノード $N1$ の直流電圧 V_{N1} と V_{ref} が等しい状態になったとき、 $Q2$ の動作点は $S1$ に到達する。この状態からさらに制御電圧 V_{t10} を大きくすると、 $Q2$ の動作点は $S9$ に向かって移動し、三極管領域に入る。このことは、 $Q2$ の動作点が所望の領域の外に出たことを意味し、電圧・電流変換の線形性を劣化させることになる。

【0035】

可変電流源 $CS11$ が p 型 MOS トランジスタ $Q2$ のドレイン端子に接続されている場合においては、制御電圧 V_{t10} を十分小さな値から大きくしていくと、 $Q2$ の動作点は $S5$ から $S1$ に向かって移動する。そして、ノード $N1$ の直流電圧 V_{N1} と V_{ref} が等しい状態になったとき、 $Q2$ の動作点は $S1$ に到達する。さらに、制御電圧 V_{t10} を大きくすると、 $CS11$ から $Q1$ にバイアス電流が供給されるようにな

るため、Q2のバイアス電流は以降増加せず、一定となる。このことは、Q2の動作点が、S1以降S4に向かって、飽和領域内を移動することを意味する。このことは、Gm値の広い調整範囲に渡って、Q2の動作点が飽和領域に維持されることを意味し、電圧・電流変換の線形性は高く保たれることになる。

【0036】

以上のことから、本願発明の利得可変、電圧・電流変換回路は、広いGm値調整範囲に渡って線形性の高い動作が可能になる。

【0037】

(実施例1)

図2は、図1の回路図をさらに具体的に示した、本発明の第1の実施例を示す回路図である。

図2において、電圧比較器1に対応する回路には、n型MOSトランジスタQ1、p型MOSトランジスタQ2およびQ5、n型MOSトランジスタQ11、p型MOSトランジスタQ12およびQ15、オペアンプOA11が用いられている。オペアンプOA12のプラス(+)入力端子に参照電圧Vref1が入力され、マイナス(-)入力端子にp型MOSトランジスタQ12のゲート端子が接続され、オペアンプOA12の出力端子にはp型MOSトランジスタQ15のゲート端子が接続されている。オペアンプOA12の出力端子は、p型MOSトランジスタQ5のゲート端子に接続されている。

【0038】

オペアンプOA12の出力端子は、ノードN12のバイアス電位VN12が参照電圧Vref1を上回る状態のときには、いわゆるハイレベル信号を出力する。その結果、オペアンプOA12の出力端子に接続されたp型MOSトランジスタQ5とQ15とは、OFF状態になる。また、オペアンプOA12の出力端子は、ノードN12の電位VN12が参照電圧Vref1の値よりも小さくなると、電位VN12が参照電圧Vref1に等しくなるように、p型MOSトランジスタQ15のゲート端子に電圧信号を出力し、n型MOSトランジスタQ11のバイアス電流を調整する。このオペアンプOA12の出力端子の電圧信号はp型MOSトランジスタQ5のゲート端子にも入力され、ノードN2のバイアス電位VN2は、バイアス電位VN12と等しくなる。したがって、制御電圧Vt10によりGm値の調整を行っても、バイアス電位VN2は、参照電圧Vref1を下回ることなく、制御電圧Vt10の広い調整範囲にわたって、p型MOSトランジスタQ2は飽和領域で動作できる。以上により、本実施例による利得可変電圧・電流変換回路は、Gm値の広い調整範囲に渡って線形性の高い動作が可能になる。

【0039】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す回路図である。n型MOSトランジスタQ1、p型MOSトランジスタQ2およびQ3、可変電流源CS21は、図1と同様の素子である。

【0040】

本実施形態では、電圧・電流変換を行う入力部能動素子としてn型MOSトランジスタQ1が用いられ、電位制御回路として、n型MOSトランジスタQ4、可変電流源CS21およびp型MOSトランジスタQ2が用いられる。

【0041】

n型MOSトランジスタQ4のソース端子はn型MOSトランジスタQ1のドレイン端子に接続され、n型MOSトランジスタQ4のドレイン端子に定電流源CS22が接続され、p型MOSトランジスタQ2のゲート端子はn型MOSトランジスタQ4のドレイン端子に接続されている。電流補償回路として、可変電流源CS21が用いられる。出力部能動素子としてp型MOSトランジスタQ3が用いられ

る。p型MOSトランジスタQ3のゲート端子はQ2のゲート端子に接続され、p型MOSトランジスタQ2と同じサイズパラメータを持つ。n型MOSトランジスタQ1のゲート端子に入力される入力電圧には、n型MOSトランジスタQ1の動作点を三極管領域にバイアスする直流電位を含む。

【0042】

飽和領域にあるn型MOSトランジスタQ4のゲート端子に制御電圧 V_{t20} が入力されると、n型MOSトランジスタQ4のドレイン・ソース間電流 I_{ds} は、定電流源CS22から供給される電流 I となるため、電位 V_{N21} は、式(3)から一意的に決定される。n型MOSトランジスタQ1のゲート電圧が変動して、電位 V_{N21} が式(3)により求められた値より高い値になると、n型MOSトランジスタQ4のゲート・ソース間電圧は小さくなり、n型MOSトランジスタQ4の反転増幅作用でノードN22の電位 V_{N22} は上昇する。電位 V_{N22} は、p型MOSトランジスタQ2のゲート電圧であるため、p型MOSトランジスタQ2の反転増幅作用により、 V_{N21} の電位は低い電位に引き戻される。

【0043】

逆に、電位 V_{N21} が式(3)により求められた値より低い値になると、同様の原理が逆に作用して、電位 V_{N21} の電位は高い電位に引き上げられる。結局、電位 V_{N21} は、式(3)と V_{t20} とから決定される値に固定される。したがって、式(2)であらわされるn型MOSトランジスタQ1のドレイン・ソース間電圧 V_{ds} はn型MOSトランジスタQ1のゲート入力電圧に対応するので、n型MOSトランジスタQ1の電圧・電流変換特性は、高い線形性を有する。また、制御電圧 V_{t20} により、電位 V_{N21} の調整が可能であるので、式(2)の V_{ds} に電位 V_{N21} を代入した式に従って、n型MOSトランジスタQ1の G_m 値を調整できる。

【0044】

電位 V_{N21} が固定された状態において、n型MOSトランジスタQ1のゲート端子に入力された電圧信号は、式(1)に基づいてn型MOSトランジスタQ1の電流信号に変換される。n型MOSトランジスタQ1の電流信号は、p型MOSトランジスタQ2とn型MOSトランジスタQ4とで構成された帰還回路内部にて、ノードN22の電圧信号に変換されたのち、p型MOSトランジスタQ3の電流信号 I_{out} として出力される。p型MOSトランジスタQ2とQ3とのMOSトランジスタのサイズパラメータは等しい。

ため、n型MOSトランジスタQ1の電流信号と電流信号 I_{out} とは等しい。従って、本実施形態の電圧・電流変換特性は、n型MOSトランジスタQ1の電圧・電流変換特性と等しく、高い線形性を有する。

【0045】

また、制御電圧 V_{t20} を変化させることで、電位 V_{N21} を制御できるので、n型MOSトランジスタQ1の G_m 値の調整ができる。また、n型MOSトランジスタQ1の電流信号と電流信号 I_{out} とは等しい。したがって、制御電圧 V_{t20} により、本実施形態の G_m 値を調整することができる。

【0046】

G_m 値を高く設定するために、 V_{t20} を上げると、電位 V_{N21} が上昇する。式(1)の V_{ds} に電位 V_{N21} を代入すると、n型MOSトランジスタQ1のバイアス電流は増加する。この増加分に対応するために、p型MOSトランジスタQ2とn型MOSトランジスタQ4とにより構成された帰還回路が、内部ノードN22の直流電位 V_{N22} の電圧を下げて、p型MOSトランジスタQ2のバイアス電流を増加させる。内部ノードN22の直流電位 V_{N22} が外部参照電圧 V_{ref2} に等しくなるまで下がると、以降のp型MOSトランジスタQ2のバイアス電流増加分は、可変電流源CS21からn型MOSトランジスタQ1に供給されるように、電圧比較器2から可変電流源CS21に信号が出力される。この回路により、

G_m値を高く調整しても、内部ノードN22の直流電位V_{N22}は、V_{ref2}より低い電圧にはならない。

【0047】

したがって、p型MOSトランジスタQ2の動作点は、制御電圧V_{t20}の広い調整範囲に渡って飽和領域に維持される。このことは、p型MOSトランジスタQ2の動作点が三極管領域に遷移して本実施の形態の線形性が劣化する現象を避けられることを意味している。以上から、本実施形態の利得可変、電圧・電流変換回路は、G_m値の広い調整範囲に渡って、線形性の高い動作が可能になる。

【0048】

(第2の実施例)

図4は、図3の回路図をさらに具体的に示した、本発明の第2の実施例を示す回路図である。

【0049】

図4において、図3の電圧比較器2に対応する回路には、n型MOSトランジスタQ21、p型MOSトランジスタQ22、n型MOSトランジスタQ24、p型MOSトランジスタQ25等が用いられる。

【0050】

オペアンプOA21のプラス(+)入力端子に参照電圧V_{ref2}が入力され、マイナス(-)入力端子にp型MOSトランジスタQ25のゲート端子が接続され、オペアンプOA21の出力端子にはp型MOSトランジスタQ25のゲート端子が接続されている。オペアンプOA21の出力端子は、電圧比較器2の出力端子になり、p型MOSトランジスタQ5のゲート端子に接続される。また、図3中の定電流源CS22に相当する素子として、p型MOSトランジスタQ6が用いられる。p型MOSトランジスタQ6のゲート端子にバイアス電圧V_{b21}が入力される。電圧比較器2の回路内には、p型MOSトランジスタQ6に対応したp型MOSトランジスタQ26が用いられる。

【0051】

オペアンプOA21の出力端子は、ノードN24の電位V_{N24}がV_{ref2}を上回る値になった場合には、いわゆるハイレベル信号を出力し、p型MOSトランジスタQ5とQ25をOFF状態とする。また、n型MOSトランジスタQ21のバイアス電流値が小さくなり、電位V_{N24}が参照電圧V_{ref2}よりも小さくなると、オペアンプOA21の出力端子からp型MOSトランジスタQ25のゲート端子に、電位V_{N24}が参照電圧V_{ref2}に等しくなるように、電圧信号を出力する。このオペアンプOA21の出力端子からの電圧信号はp型MOSトランジスタQ5のゲート端子にも入力され、ノード21のバイアス電位V_{N21}は、電位V_{N24}と等しくなる。すなわち、制御電圧V_{t20}を使用して、G_m値の調整を行っても、電位V_{N21}のバイアス電位は、参照電圧V_{ref2}を下回ることはない。したがって、制御電圧V_{t21}の広い調整範囲にわたって、p型MOSトランジスタQ2は飽和領域で動作が可能となる。以上により、本実施例は、G_m値の広い調整範囲に渡って、線形性の高い電圧・電流変換動作が可能になる。

【0052】

(第3の実施形態)

図5は、本発明の第3の実施形態を示す回路図である。第3の実施形態を示す回路は、n型MOSトランジスタQ1およびQ4、p型MOSトランジスタQ2およびQ3、可変電流源CS31、定電流源CS32、並びに利得GAが1より十分大きな増幅器Aとからなる。

【0053】

本実施の形態では、電圧・電流変換を行う入力部能動素子としてn型MOSトランジスタQ1が用いられる。また、電位制御回路として、n型MOSトランジスタ

Q1、定電流源CS32、増幅器Aおよびp型MOSトランジスタQ2とが用いられる。

【0054】

n型MOSトランジスタQ4のソース端子はn型MOSトランジスタQ1のドレイン端子に接続され、定電流源CS32はn型MOSトランジスタQ4のドレイン端子と増幅器Aの入力端子に接続され、p型MOSトランジスタQ2のゲート端子は増幅器Aの出力端子に接続され、p型MOSトランジスタQ2のドレイン端子がn型MOSトランジスタのQ1のドレイン端子に接続されている。

【0055】

電流補償回路として可変電流源CS31が用いられ、出力部能動素子としてp型MOSトランジスタQ3が用いられる。p型MOSトランジスタQ3のゲート端子はp型MOSトランジスタQ2のゲート端子に接続されている。p型MOSトランジスタQ2およびQ3は、同じサイズパラメータを持っている。n型MOSトランジスタQ1のゲート端子に入力される外部信号には、Q1の動作点を三極管領域にバイアスする直流電位が含まれている。

【0056】

増幅器Aの利得をGAとすると、ノードN32の交流電圧信号成分VN32-ACとノードN33の交流電圧信号成分VN33-ACとの間には、次の式が成立する。

【0057】

【数4】

$$V_{N3-AC} = \frac{V_{N2-AC}}{G_A} \quad \text{式(4)}$$

この式から、増幅器Aの利得GAが1の場合、VN32-ACとVN33-ACとは等しくなるため、この場合の本実施形態は、第2の実施形態と等価となる。しかし、増幅器Aの利得GAが1より十分大きい場合の本実施形態では、VN33-ACの電圧は小さく圧縮されるため、n型MOSトランジスタQ4で発生する信号歪は第2の実施形態よりも小さい。従って、本実施形態は、第2の実施形態よりも、n型MOSトランジスタQ4から発生する歪を低減でき、Gm値の広い調整範囲に渡って、電圧・電流変換特性の線形性が高い動作が可能となる。

【0058】

(第3の実施例)

図6は、図5の回路図をさらに具体的に示した、本発明の第3の実施例を示す回路図である。

【0059】

図6において、図4と同一の部分には、同一の参照符号が付されている。図4に示した第二の実施例においては、p型MOSトランジスタQ2とQ3のゲート端子は、n型MOSトランジスタQ4のドレイン端子に接続されている。しかし、本実施例においては、p型MOSトランジスタQ2とQ3のゲート端子は、p型MOSトランジスタQ9のドレイン端子とn型MOSトランジスタQ10のドレイン端子とを接続して構成したインバータ回路部INV-Bの出力端子に接続される。インバータ回路部INV-Bの入力端子であるn型MOSトランジスタQ10のゲート端子は、p型MOSトランジスタQ7のドレイン端子とn型MOSトランジスタQ8のドレイン端子とを接続して構成したインバータ回路部INV-Aの出力端子に接続される。インバータ回路部INV-Aの入力端子であるp型MOSトランジスタQ7のゲート端子はn型MOSトランジスタQ4のドレイン端子に接続された構成となっている。

【0060】

2つのインバータ回路部である、INV-AとINV-Bは、図6に示したバイアス回路のn型MOSトランジスタQ38のゲート端子とドレイン端子とを接続したノードの電圧をn型MOSトランジスタQ8のゲート端子にし、p型MOSトランジスタQ39のゲート端子とドレイン端子とを接続したノードの電圧をp型MOSトランジスタQ9のゲート端子にすることで、増幅器としての働きをしている。インバータ回路部INV-Aとインバータ回路部INV-Bとで構成される増幅器の利得をGAとすると、n型MOSトランジスタQ1にされた電圧信号は、n型MOSトランジスタQ4のドレイン端子であるノードN33において、本願の実施例2の場合と比較すると、電圧信号振幅が $1/GA$ に減衰された電圧信号となる。このため、ノードN33の電圧VN33は、大きな電圧信号Vinがn型MOSトランジスタQ1にされても振幅値は $1/GA$ に小さくなる。したがって、n型MOSトランジスタQ4およびp型MOSトランジスタQ6を、飽和領域において安定した動作をさせることが可能となり、本実施例の電圧・電流変換回路の線形性を高く保つことができる。

【0061】

(第4の実施形態)

図7は、本発明の第4の実施形態を示す回路図である。n型MOSトランジスタQ1、p型MOSトランジスタQ2およびQ3、オペアンプOA1は、図1と同様の素子である。本実施の形態では、電圧・電流変換を行う入力部能動素子としてn型MOSトランジスタQ1が用いられる。この入力部能動素子の出力端子に接続された電位制御回路として、オペアンプOA1とp型MOSトランジスタQ2とが用いられる。p型MOSトランジスタQ2のゲート端子はオペアンプOA1の出力端子に接続され、p型MOSトランジスタQ2のドレイン端子がn型MOSトランジスタQ1のドレイン端子に接続される。また、出力部電圧・電流変換回路としてp型MOSトランジスタQ3が用いられる。p型MOSトランジスタQ3のゲート端子は、p型MOSトランジスタQ2のゲート端子に接続される。

【0062】

p型MOSトランジスタQ41およびQ42のゲート端子がp型MOSトランジスタQ2のゲート端子に接続される。スイッチ回路SW1の入出力端子T11がp型MOSトランジスタQ41のドレイン端子に接続され、スイッチ回路SW2の入出力端子T21がp型MOSトランジスタQ42のドレイン端子に接続される。

【0063】

p型MOSトランジスタQ43およびQ44のゲート端子がp型MOSトランジスタQ3のゲート端子に接続される。スイッチ回路SW3の入出力端子T31がp型MOSトランジスタQ43のドレイン端子に接続され、スイッチ回路SW4の入出力端子T41がp型MOSトランジスタQ44のドレイン端子に接続される。

【0064】

制御回路1は、スイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御端子T33とに接続される。制御回路2は、スイッチ回路SW2の制御端子T43とスイッチ回路SW3の制御端子T23とに接続される。

【0065】

n型MOSトランジスタQ1のバイアス電流I1bが制御電流IA以下のときには、制御信号回路1からスイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御端子T33とにスイッチ回路OFF信号が出力される。n型MOSトランジスタQ1のバイアス電流I1bが制御電流IA以上のときには、制御信号回路1からスイッチ回路SW1の制御端子T13とスイッチ回路SW3の制御端子T33とにスイッチ回路ON信号が出力される。

【0066】

同様に、n型MOSトランジスタQ1のバイアス電流I1bが制御電流IB以下のときには、制御信号回路2からスイッチ回路SW2の制御端子T43とスイッチ

回路SW4の制御端子T43とにスイッチ回路OFF信号が出力される。n型MOSトランジスタQ1のバイアス電流I1bが制御電流IB以上のときには、制御信号回路1からスイッチ回路SW2の制御端子T23とスイッチ回路SW4の制御端子T43とにスイッチ回路ON信号が出力される。

【0067】

本実施形態においては、スイッチ回路SW1乃至SW4が全てOFF状態の場合には、従来例2の回路と同様の動作をする。すなわち、制御電圧Vt40を調整することで、ノードN41の電位VN41が調整され、Gm値が調整される。

【0068】

次に、制御電圧Vt40が変化した場合の回路動作を説明する。制御電圧Vt40が接地電圧に近い十分小さい場合において、バイアス電流I1bが制御電流IAより小さい場合には、スイッチ回路SW1乃至SW4が全てOFF状態になる。この場合は、n型MOSトランジスタQ1に入力される電圧信号Vinは、従来例2の場合と同様に、n型MOSトランジスタQ1の電流信号、p型MOSトランジスタQ2のゲート電圧信号、p型MOSトランジスタQ3の電流信号Ioutの順に伝達される。

【0069】

制御電圧Vt40を上げて、バイアス電流I1bが制御電流IAとIBとの間に調整された場合には、スイッチ回路SW1とスイッチ回路SW3がON状態になり、p型MOSトランジスタQ2およびQ41はゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとるので、並列動作をする。また、p型MOSトランジスタQ3およびQ43もゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとるので、並列動作をする。

【0070】

さらに制御電圧Vt40を上げて、バイアス電流I1bが制御電流IBより高くなると、スイッチ回路SW1乃至SW4は全てON状態となり、p型MOSトランジスタQ2、Q41およびQ42は、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとり、並列動作をする。また、p型MOSトランジスタQ3、Q43およびQ44も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成をとり、並列動作をする。

【0071】

n型MOSトランジスタQ1並びにp型MOSトランジスタQ2、Q41およびQ42に流れるそれぞれのバイアス電流I1b、I2b、I41b、I42b、には、下の式が成立する。

【0072】

【数5】

$$I_{1b} = I_{2b} + I_{41b} + I_{42b} \quad \text{式(5)}$$

バイアス電流I1bが制御電流IAより小さい状態では、スイッチ回路SW1乃至SW4は全てOFF状態であるため、バイアス電流I1bはバイアス電流I2bと等しくなる。バイアス電流I1bが制御電流IAとIBとの間の場合には、スイッチ回路SW1がON状態に変化し、バイアス電流I2bはバイアス電流I1bからバイアス電流I41bを差し引いた値になる。バイアス電流I1bがバイアス電流IBより高い値になるとスイッチ回路SW1およびSW3がON状態となり、バイアス電流I2bは、バイアス電流I1bからバイアス電流I41bとバイアス電流I42bとを差し引いた値となる。バイアス電流I2bによって発生するノードN42における電圧VN42と制御電圧Vt40との関係を図7(b)に示す。ノードN42における電圧VN42は、制御電圧Vt40の広い

調整範囲に渡って、電圧値の減少が抑えられた特性を持つことが分る。

【0073】

すなわち、p型MOSトランジスタQ2のゲート・ソース間電圧の絶対値は小さく保たれることになり、p型MOSトランジスタQ2の動作点は、飽和領域に維持される。従って、本実施の形態は、広いGm値調整範囲に渡って、電圧信号Vinと出力電流Ioutとで線形性の高い動作が可能になる。

【0074】

(第4の実施例)

図8は、図7(a)の回路図をさらに具体的に示した、本発明の第4の実施例を示す回路図である。

【0075】

図8において、図2と同一の部分には、同一の参照符号が付されている。本実施例では、第4の実施の形態にあるスイッチ回路SW1、SW2、SW3およびSW4をそれぞれn型MOSトランジスタQS1、QS2、QS3およびQS4に置き換えた。n型MOSトランジスタQS1とQS3との制御端子であるゲート端子には、オペアンプOA43の出力端子が接続される。n型MOSトランジスタQS2とQS4との制御端子であるゲート端子は、オペアンプOA44の出力端子が接続される。オペアンプOA43のマイナス(-)入力端子とオペアンプOA44のマイナス(-)入力端子には参照電圧Vref41が入力される。オペアンプOA43のプラス(+)入力端子には、p型MOSトランジスタQ47のゲート端子が接続される。オペアンプOA44のプラス(+)入力端子には、p型MOSトランジスタQ48のゲート端子が接続される。n型MOSトランジスタQ45、p型MOSトランジスタQ47およびオペアンプOA45は、それぞれn型MOSトランジスタQ1、p型MOSトランジスタQ2およびオペアンプOA1に対応した素子である。n型MOSトランジスタQ46、p型MOSトランジスタQ48、p型MOSトランジスタQ49、n型MOSトランジスタQS41およびオペアンプOA46は、それぞれn型MOSトランジスタQ1、p型MOSトランジスタQ2、p型MOSトランジスタQ41、n型MOSトランジスタQS1およびオペアンプOA1に対応した素子である。

【0076】

オペアンプOA1、OA45およびOA46のプラス(+)入力端子には、制御電圧Vt40が接続されている。n型MOSトランジスタQ45およびQ46のゲート端子には、それぞれ直流電圧信号Vinb41が入力されている。n型MOSトランジスタQS41のゲート端子には、いわゆるハイレベル信号である直流電圧信号VDDが入力されている。

【0077】

制御電圧Vt40を接地電圧から上昇させる。制御電圧Vt40が十分低い値の場合は、n型MOSトランジスタQS1、QS2、QS3およびQS4は、全てOFF状態にあるので、ノードN42の直流電位VN42とノードN43の直流電位VN43は等しい値である。また、ノードN44の直流電位VN44は、直流電位VN42およびVN43よりも高い電圧である。さらに、制御電圧Vt40を上げると、直流電位VN42とVN43が同時に参照電圧Vref41を下回る。この場合、n型MOSトランジスタQS1およびQS3はON状態に遷移するので、ノードN42の直流電位VN42は上昇し、直流電位VN44と等しい値となる。さらに制御電圧Vt40を上昇させると、次に、直流電位VN42とVN44が同時に参照電圧Vref41を下回る。この場合、n型MOSトランジスタQS2およびQS4はON状態に遷移し、直流電位VN42は上昇する。したがって、直流電位VN42は、制御電圧Vt40の広い調整範囲に渡って参照電圧Vref41の値以上となる。したがって、p型MOSトランジスタQ2の動作点は飽和領域内に保たれるので、本実施例の電圧・電流変換の線形性を高く保つことができる。

【0078】

(第5の実施形態)

図9は、本発明の第5の実施形態を示す回路図である。n型MOSトランジスタQ1、p型MOSトランジスタQ2およびQ3、並びにオペアンプOA1は、図7の対応する番号の素子と同様の素子である。図9のp型MOSトランジスタQ51、Q52、Q53およびQ54は、それぞれ図7のp型MOSトランジスタQ41、Q42、Q43およびQ44と同様の素子である。

【0079】

本実施の形態では、電圧・電流変換を行う入力部能動素子としてオペアンプOA1が用いられ、電位制御回路としてp型MOSトランジスタQ2が用いられる。p型MOSトランジスタQ2のゲート端子はオペアンプOA1の出力端子に接続され、p型MOSトランジスタQ2のドレイン端子がn型MOSトランジスタQ1のドレイン端子に接続されている。

【0080】

出力部電圧・電流変換回路としてp型MOSトランジスタQ3が用いられる。p型MOSトランジスタQ3のゲート端子は、p型MOSトランジスタQ2のゲート端子に接続されている。p型MOSトランジスタQ2のドレイン端子は、p型MOSトランジスタQ51およびQ52のドレイン端子に接続されている。p型MOSトランジスタQ3のドレイン端子は、p型MOSトランジスタQ53およびQ54のドレイン端子に接続されている。スイッチ回路SW51の入出力端子1はp型MOSトランジスタQ51のゲート端子とp型MOSトランジスタQ53のゲート端子に接続されている。スイッチ回路SW51の入出力端子2はp型MOSトランジスタQ2のゲート端子に接続され、入出力端子3は電源電圧Vに接続されている。スイッチ回路SW52の入出力端子4はp型MOSトランジスタQ52のゲート端子とp型MOSトランジスタQ54のゲート端子に接続されている。スイッチ回路SW52の入出力端子5はp型MOSトランジスタQ2のゲート端子に接続され、入出力端子6は電源電圧Vに接続されている。

【0081】

制御回路3の出力端子はスイッチ回路SW51の制御端子7に接続され、制御回路4の出力端子はスイッチ回路SW52の制御端子8に接続されている。

【0082】

n型MOSトランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5以下のときには、スイッチ回路SW51の制御端子7に、入出力端子2と3を接続するように制御回路3から制御信号VC3が出力される。n型MOSトランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5以上になると、スイッチ回路SW51の制御端子7に、入出力端子1と2を接続するように制御信号回路3から制御信号VC3が出力される。

【0083】

n型MOSトランジスタQ1のバイアス電流I1bが制御回路4に入力される電流IB5以下のときには、スイッチ回路SW52の制御端子8に、入出力端子5と6を接続するように制御回路4から制御信号VC4が出力される。n型MOSトランジスタQ1のバイアス電流I1bが制御回路4に入力される電流IB5以上になると、スイッチ回路SW52の制御端子8に、入出力端子4と5を接続するように制御回路4から制御信号VC4が出力される。

【0084】

本実施の形態においては、スイッチ回路が全てOFF状態の場合には、図14の従来例2の回路と同様の動作をする。すなわち、制御電圧Vt50を調整することで、ノードN51の電位VN51が調整され、その結果Gm値が調整される。

【0085】

制御電圧Vt50が十分小さく、n型MOSトランジスタQ1のバイアス電流I1bが制御回路3に入力される電流IA5より小さい場合には、スイッチ回路Q5

1乃至Q54は全てOFF状態になるので、n型MOSトランジスタQ1に入力された電圧信号 V_{in}

は、n型MOSトランジスタQ1のソース・ドレイン間の電流信号、p型MOSトランジスタQ2のゲート電圧信号、p型MOSトランジスタQ3の電流信号 I_{out} の順に伝達される。

【0086】

制御電圧 V_{t50} を上げて、n型MOSトランジスタQ1のバイアス電流 I_{1b} が電流 I_{A5} と電流 I_{B5} との間に調整された場合には、スイッチ回路SW51の入出力端子1と2が接続され、p型MOSトランジスタQ2とQ51とは、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。また、p型MOSトランジスタQ3とQ53も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。

【0087】

制御電圧 V_{t50} をさらに上げてn型MOSトランジスタQ1のバイアス電流 I_{1b} が電流 I_{5B} より高い値になるように調整されると、さらにスイッチ回路SW52の入出力端子4と5とが接続される。その結果、p型MOSトランジスタQ2、Q51およびQ52も、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となるため、並列動作をする。また、p型MOSトランジスタQ3、Q53およびQ54は、ゲート端子、ソース端子、ドレイン端子が互いに接続された構成となり、並列動作をする。

【0088】

n型MOSトランジスタQ1と、p型MOSトランジスタQ2、Q51およびQ52とに流れるバイアス電流には、式(6)が成立する。

【0089】

【数6】

$$I_{1b} = I_{2b} + I_{51b} + I_{52b} \quad \text{式(6)}$$

n型MOSトランジスタQ1のバイアス電流 I_{1b} が電流 I_{A5} より小さい状態では、スイッチ回路SW51およびSW52はOFF状態であるため、p型MOSトランジスタQ2のバイアス電流 I_{2b} はn型MOSトランジスタQ1のバイアス電流 I_{1b} と等しくなる。

【0090】

n型MOSトランジスタQ1のバイアス電流 I_{1b} が電流 I_{A5} と電流 I_{B5} との間に調整された場合は、スイッチ回路SW51の入出力端子1と2とが接続され、p型MOSトランジスタQ2のバイアス電流 I_{2b} はn型MOSトランジスタQ1のバイアス電流 I_{1b} からn型MOSトランジスタQ51のバイアス電流 I_{51b} を差し引いた値になる。

【0091】

n型MOSトランジスタQ1のバイアス電流 I_{1b} が電流 I_{B5} より高くなると、さらにスイッチ回路SW52の入出力端子4と5とが接続され、p型MOSトランジスタQ2のバイアス電流 I_{2b} は、n型MOSトランジスタQ1のバイアス電流 I_{1b} からn型MOSトランジスタQ51のバイアス電流 I_{51b} とp型MOSトランジスタQ52のバイアス電流 I_{52b} を差し引いた値となる。

【0092】

p型MOSトランジスタQ2のバイアス電流 I_{2b} と連動するノードN51の電位 V_{N51} と制御電圧 V_{t50} との関係は、実施形態4の図4(b)に示される電位 V_{N42} と制御電圧 V_{t40} との関係と同様に変化する。ノードN51の電位 V_{N51} に連動するp型MOSトランジスタQ2のバイアス電流 I_{2b} は、制御電圧

V_{t50}の広い調整範囲に渡って、増加が抑えられた特性を持つ。このことは、p型MOSトランジスタQ2のゲート・ソース間電圧の絶対値は小さく保たれることを意味しており、p型MOSトランジスタQ2の動作点は、飽和領域に維持される。したがって、p型MOSトランジスタQ2の動作点が、飽和領域から三極管領域に移ることによる線形性劣化は制御電圧V_{t50}の広い調整範囲に渡って発生せず、本実施形態によれば、広いG_m値調整範囲に渡って、電圧・電流変換の線形性を高く保つことができる。

【0093】

(第5の実施例)

図10は、図9の回路図をさらに具体的に示した、本発明の第5の実施例を示す回路図である。

【0094】

図10において、図8と同一の部分には、同一の参照符号が付されている。

【0095】

本実施例では、図9のスイッチ回路SW51に相当する素子を、n型MOSトランジスタQS5とp型MOSトランジスタQS6とで構成している。n型MOSトランジスタQS5のゲート端子とp型MOSトランジスタQS6のゲート端子とを接続して制御端子SWC3とし、n型MOSトランジスタQS5のドレイン端子とp型MOSトランジスタQS6とのドレイン端子とを接続して入出力端子SWT31とし、n型MOSトランジスタQS5のソース端子を入出力端子SWT32としている。また、p型MOSトランジスタQS6のソース端子は電源電圧Vに接続されている。

【0096】

また、図9のスイッチ回路SW52に相当する素子を、n型MOSトランジスタQS7と、p型MOSトランジスタQS8とで構成している。n型MOSトランジスタQS7のゲート端子とp型MOSトランジスタQS8のゲート端子とを接続して制御端子SWC4とし、n型MOSトランジスタQS7のドレイン端子とp型MOSトランジスタQS8のドレイン端子とを接続して入出力端子SWT41とし、n型MOSトランジスタQS7のソース端子を入出力端子SWT42としている。また、p型MOSトランジスタQS8のソース端子は電源電圧Vに接続されている。

【0097】

n型MOSトランジスタQS5のゲート端子とp型MOSトランジスタQS6のゲート端子とは、オペアンプOA53の出力端子に接続され、n型MOSトランジスタQS7のゲート端子とp型MOSトランジスタQS8のゲート端子とは、オペアンプOA54の出力端子に接続されている。

【0098】

オペアンプOA53とオペアンプOA54とのマイナス(−)入力端子には参照電圧V_{ref51}が入力され、オペアンプOA53のプラス(+)入力端子には、p型MOSトランジスタQ57のゲート端子が接続されている。n型MOSトランジスタQ55、p型MOSトランジスタQ57およびオペアンプOA55は、それぞれn型MOSトランジスタQ1、p型MOSトランジスタQ2、オペアンプOA1に対応した素子であり、複製回路を構成する。

【0099】

オペアンプOA54のプラス(+)入力端子には、p型MOSトランジスタQ57のゲート端子が接続されている。n型MOSトランジスタQ56およびQS8、p型MOSトランジスタQ58およびQ59、並びにオペアンプOA56は、それぞれn型MOSトランジスタQ1およびQS5、p型MOSトランジスタQ2およびQ51並びにオペアンプOA1に対応した素子である。オペアンプOA1、OA55およびOA56のプラス(+)入力端子には、制御電圧V_{t50}が入力されて

いる。

【0100】

n型MOSトランジスタQ55およびQ56のゲート端子には、直流信号Vinb51が入力されている。

【0101】

制御電圧Vt50が接地電圧に近く、十分小さい値の場合には、ノードN55およびN56の電位VN55およびVN56はVref51より大きく、オペアンプOA53およびオペアンプOA54の出力電圧は、いわゆるローレベル出力となる。その結果n型MOSトランジスタQS5およびQS7はOFF状態となり、p型MOSトランジスタQS6およびQS8はON状態となる。その結果、p型MOSトランジスタQ51, Q52, Q53およびQ54のそれぞれのゲート端子が電源電圧Vに接続されるので、p型MOSトランジスタQ51, Q52, Q53およびQ54はOFF状態となる。なお、ノードN52の直流電圧VN52と、ノードN55の直流電圧VN55は等しく、ノードN56の直流電位VN56はVN52とVN55よりも十分高い電圧値である。

【0102】

さらに、制御電圧Vt50を上昇させると、VN52とVN55は等しい値のまま、同時に参照電圧Vref51を下回る。この場合、オペアンプOA53の出力電位はハイレベルになる。その結果、n型MOSトランジスタQS5はON状態になり、p型MOSトランジスタQS6はOFF状態になるので、VN52は上昇し、VN56と等しい値となる。

【0103】

さらに、制御電圧Vt50を上昇させると、VN52とVN56が同時に参照電圧Vref51を下回る。この場合、n型MOSトランジスタQS7はON状態に、p型MOSトランジスタQS8はOFF状態になるので、VN52は、上昇する。したがって、VN52は、制御電圧Vt50の広い調整範囲に渡って参照電圧Vref51以上となるので、p型MOSトランジスタQ2の動作点は飽和領域を保ち、本実施例の電圧・電流変換回路の線形性を高く保つことができる。

【0104】

(第6の実施形態)

図11(a)は、本発明の第6の実施形態を示す回路図であり、図11(b)は、図11(a)図に示された利得可変電圧・電流変換回路gm1乃至gm4の詳細な回路図である。第6実施形態の利得可変電圧・電流変換回路には、図2に示した第1の実施例の利得可変電圧・電流変換回路を用い、これらと容量素子C1およびC2とを用いることにより、広帯域幅可変2次ローパスフィルタ回路を構成した。このフィルタ回路の伝達関数を式(7)に示す。

【0105】

【数7】

$$F(s) = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{s^2 + \frac{gm_2}{C_1}s + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} \quad \text{式(7)}$$

制御電圧Vt60を制御して、4つのgmアンプ(gm1乃至gm4)の利得をA倍すると、伝達関数は、

【0106】

【数 8】

$$\frac{\frac{A \cdot gm_1 \cdot A \cdot gm_3}{C_1 \cdot C_2}}{S^2 + \frac{A \cdot gm_2}{C_1} S + \frac{A \cdot gm_3 \cdot A \cdot gm_4}{C_1 \cdot C_2}} = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{\left(\frac{S}{A}\right)^2 + \frac{gm_2}{C_1} \cdot \frac{S}{A} + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} = F\left(\frac{S}{A}\right) \quad \text{式 (8)}$$

となり、新たな伝達関数は、元の伝達関数に対して、周波数軸に関してA倍にスケールリングされることがわかる。すなわち、新たな伝達関数の帯域幅が元の伝達関数の周波数帯域幅のA倍になったことがわかる。この様子を図12に示す。

【0107】

以上の実施形態および実施例では、全てのn型MOSトランジスタをp型MOSトランジスタに、全てのp型MOSトランジスタをn型MOSトランジスタに変えて用いることができる。さらに、これらの素子をバイポーラトランジスタ、MES型FETなど任意の能動素子に変更して用いることもできる。

【図面の簡単な説明】

【0108】

- 【図1】本発明の第1の実施形態を示す回路図である。
- 【図2】本発明の第1の実施例を示す回路図である。
- 【図3】本発明の第2の実施形態を示す回路図である。
- 【図4】本発明の第2の実施例を示す回路図である。
- 【図5】本発明の第3の実施形態を示す回路図である。
- 【図6】本発明の第3の実施例を示す回路図である。
- 【図7】本発明の第4の実施形態を示す回路図である。
- 【図8】本発明の第4の実施例を示す回路図である。
- 【図9】本発明の第5の実施形態を示す回路図である。
- 【図10】本発明の第5の実施例を示す回路図である。
- 【図11】本発明の第6の実施形態を示す回路図である。
- 【図12】本発明の第6の実施形態の動作説明図である。
- 【図13】利得可変gmアンプの第1の従来例である。
- 【図14】利得可変gmアンプの第2の従来例である。

【符号の説明】

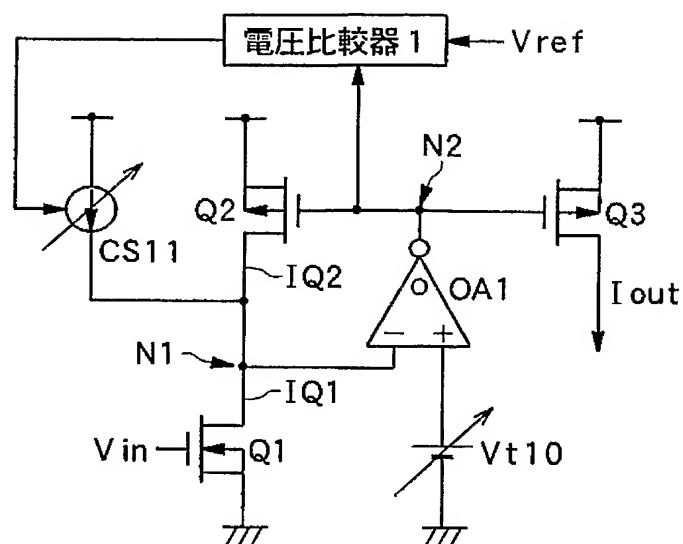
【0109】

Q1、Q4、Q8、Q10、Q11、Q21、Q24、Q30、Q34、Q38、
 Q45、Q46、Q55、Q56、Q66、Q61、Q100、Q370、Q38
 0、Q390、Q400、Q410、Q420、Q420、Q430、Q44
 0、Q450、Q460、Q470、QS1、QS2、QS3、QS4、QS5
 、QS7、QS9、QS41、…n型MOSトランジスタ
 Q2、Q3、Q5、Q6、Q7、Q9、Q12、Q15、Q22、Q25、Q26
 、Q32、Q35、Q36、Q37、Q39、Q41、Q42、Q43、Q44、
 Q47、Q48、Q49、Q52、Q51、Q53、Q54、Q57、Q58、Q
 59、Q62、Q63、Q64、Q67、Q68、Q69、Q200、Q300
 、Q330、Q340、Q350、Q360、QS6、QS8、…p型MO
 Sトランジスタ
 C1、C2…容量
 CS11、CS21、CS22、CS31、CS32、CS200、CS400、
 CS500、CS600、CS3、IA、I5A、IB、I5B…電流源
 OA1、OA11、OA12、OA21、OA32、OA43、OA44、OA4
 5、OA46、OA53、OA54、OA55、OA56、OA61、OA62…

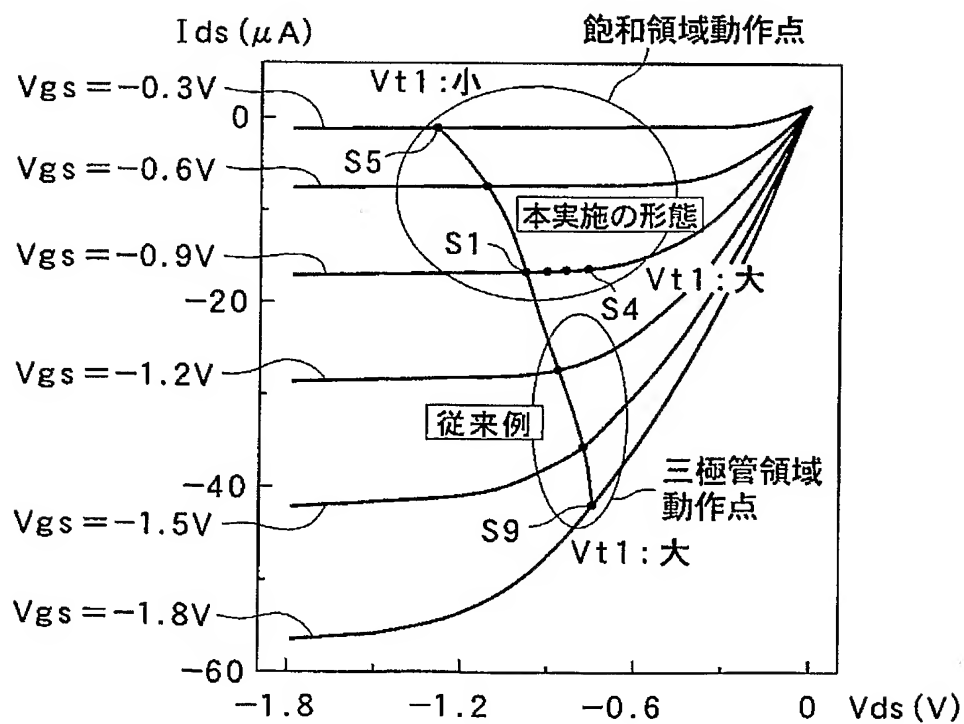
オペアンプ Gm、Gm1、Gm2、Gm3、Gm4、Gm5…gmアンプ
Vref1、Vref2、Vref3、Vref41、Vref42、Vref5
1、Vb20、Vb21、Vb30、Vb31、Vinb1、Vinb2、Vin
b3、Vinb41、Vinb42、Vinb51、Vinb52、VDD、Vt
10、Vt11、Vt20、Vt21、Vt30、Vt31、Vt40、Vt41
、Vt42、Vt50、Vt51、Vt52、Vt100、V…電圧源
Vin、Vin+、Vin-、Vout…電圧信号
Iin、Iout、Iout+、Iout-…電流信号
A…増幅器
SW1、SW2、SW3、SW4、SW51、SW52、SW500、SW600
、SW700…スイッチ回路
N1、N2、N11、N12、N21、N22、N23、N24、N31、N32
、N33、N34、N35、N36、N41、N42、N43、N44、N45
、N51、N52、N53、N54、N55、N56、N61、N62、N63、
N64、N100、N200…ノード

【書類名】 図面
【図 1】

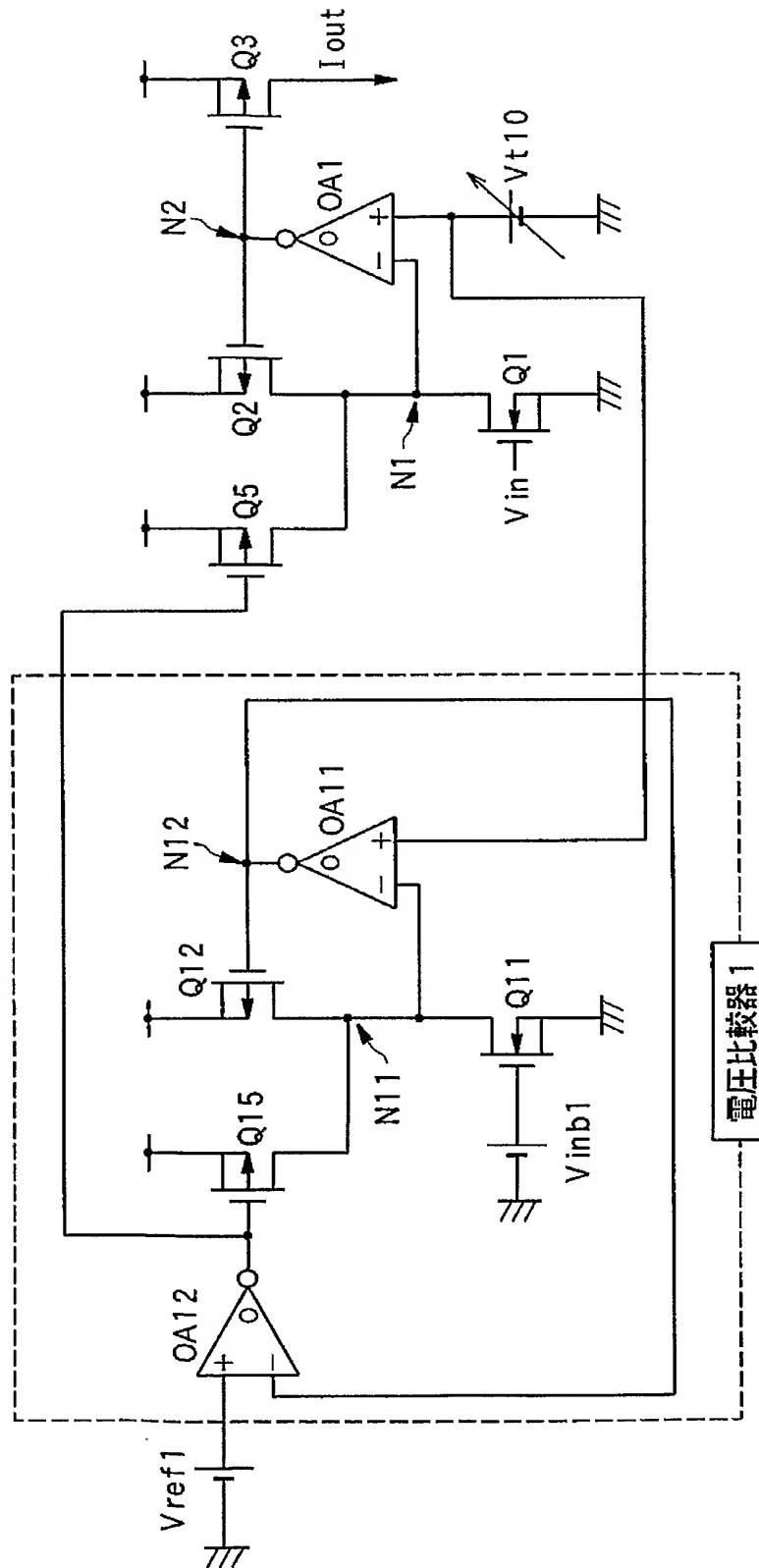
(a)



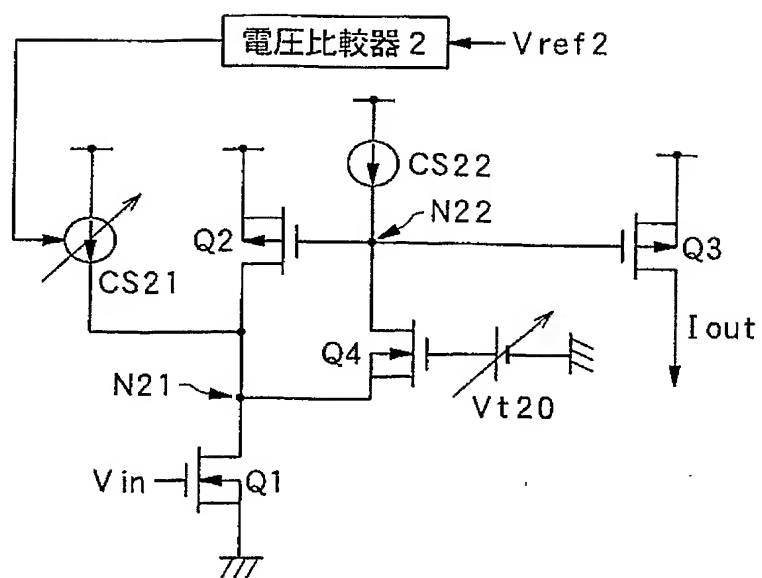
(b)



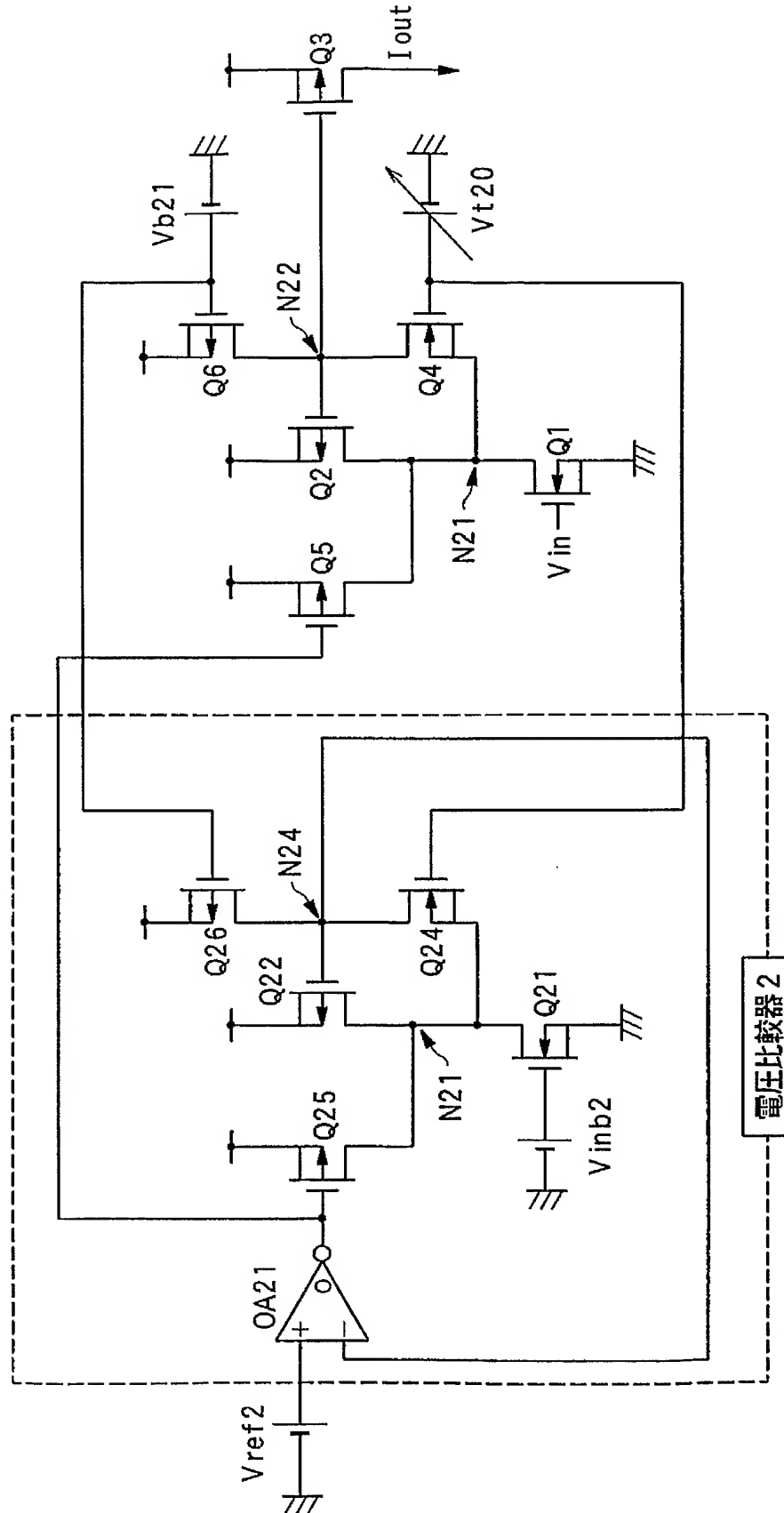
【図 2】



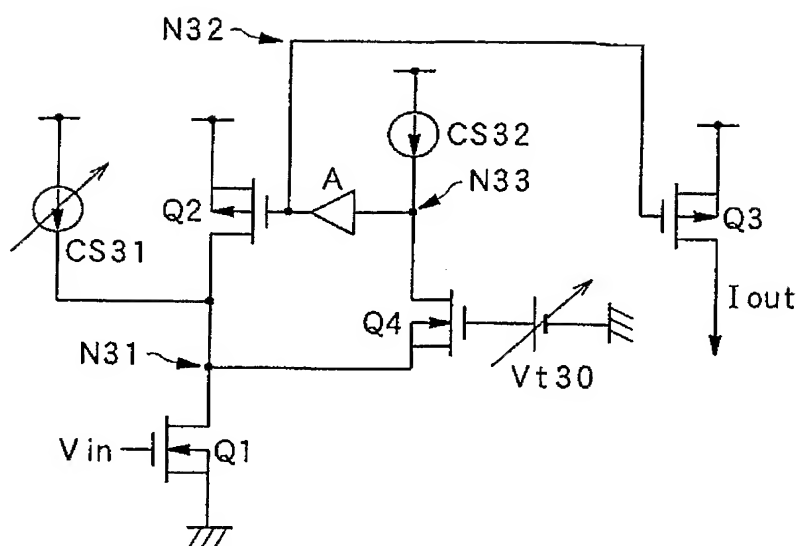
【図 3】



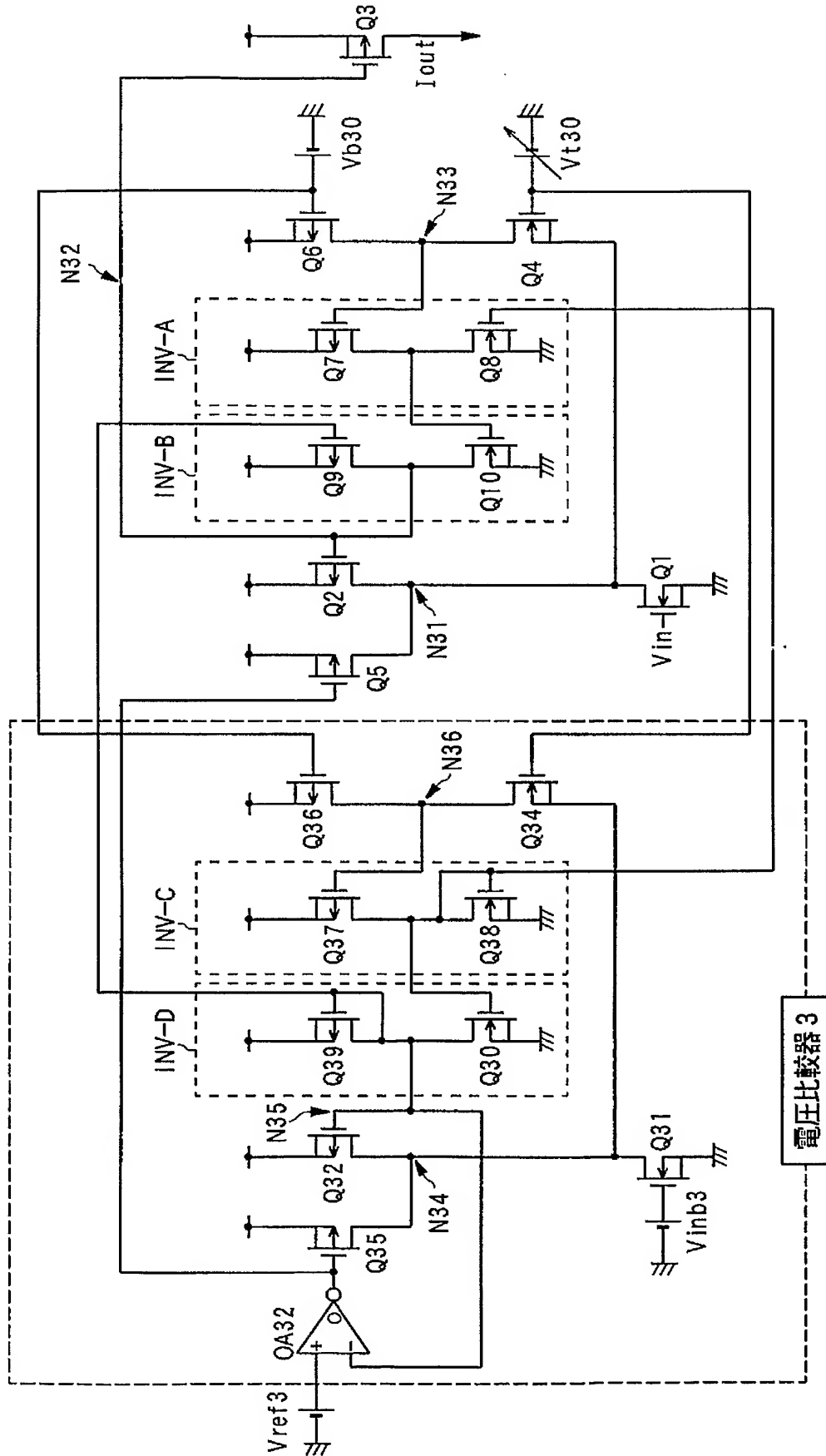
【図 4】



【図 5】

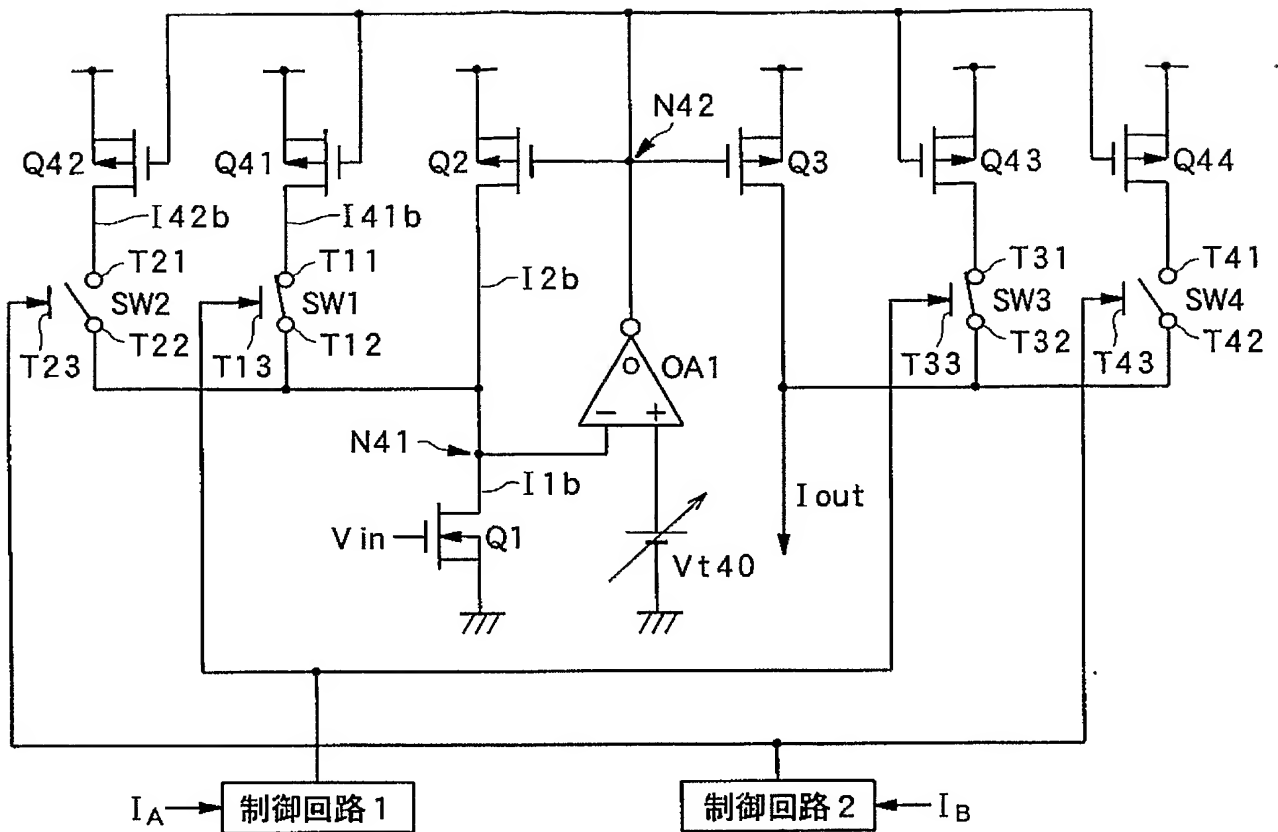


【図6】



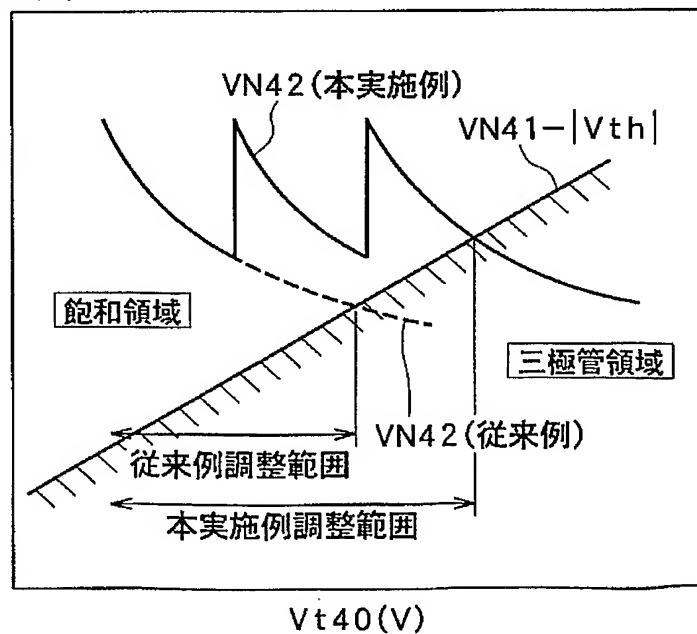
【図 7】

(a)

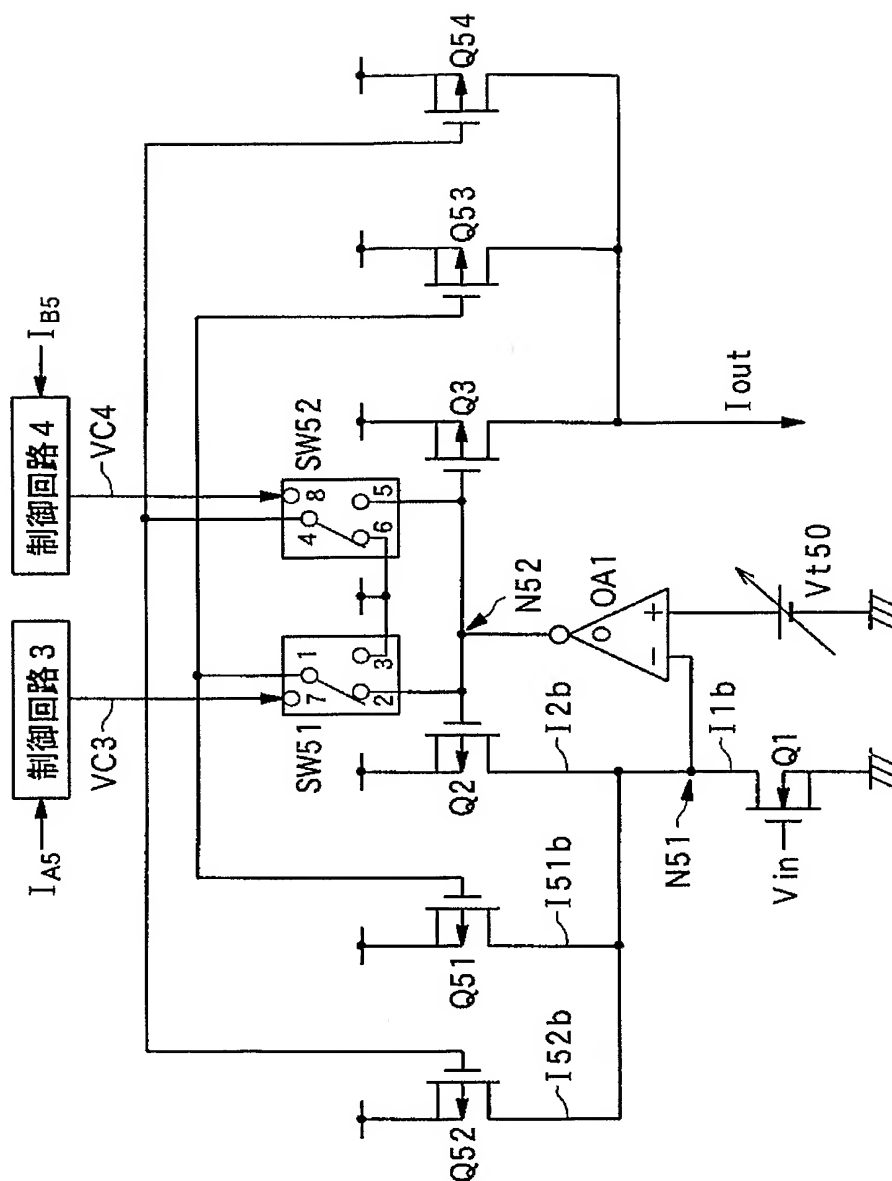


(b)

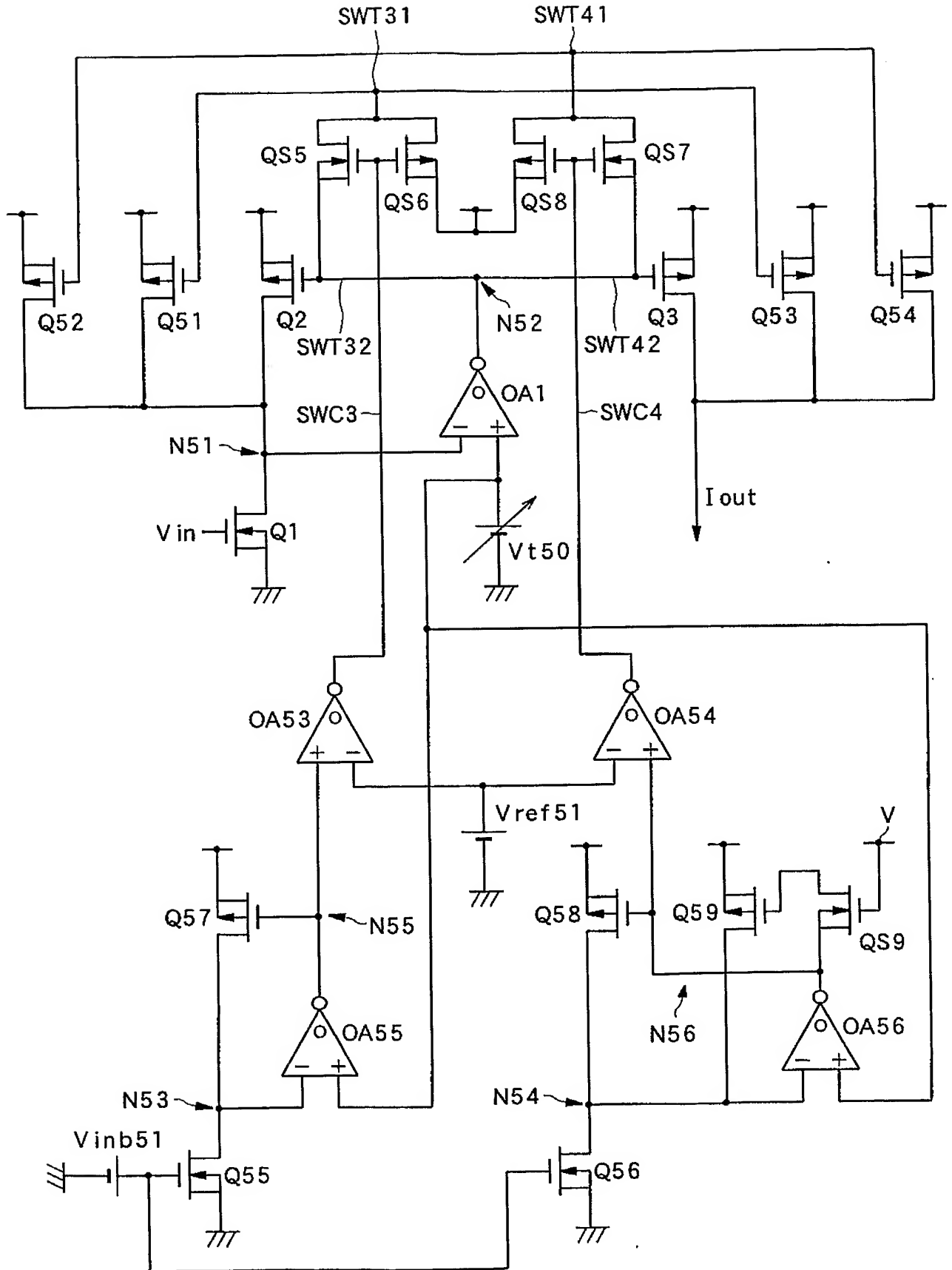
$V_{N42}(V)$



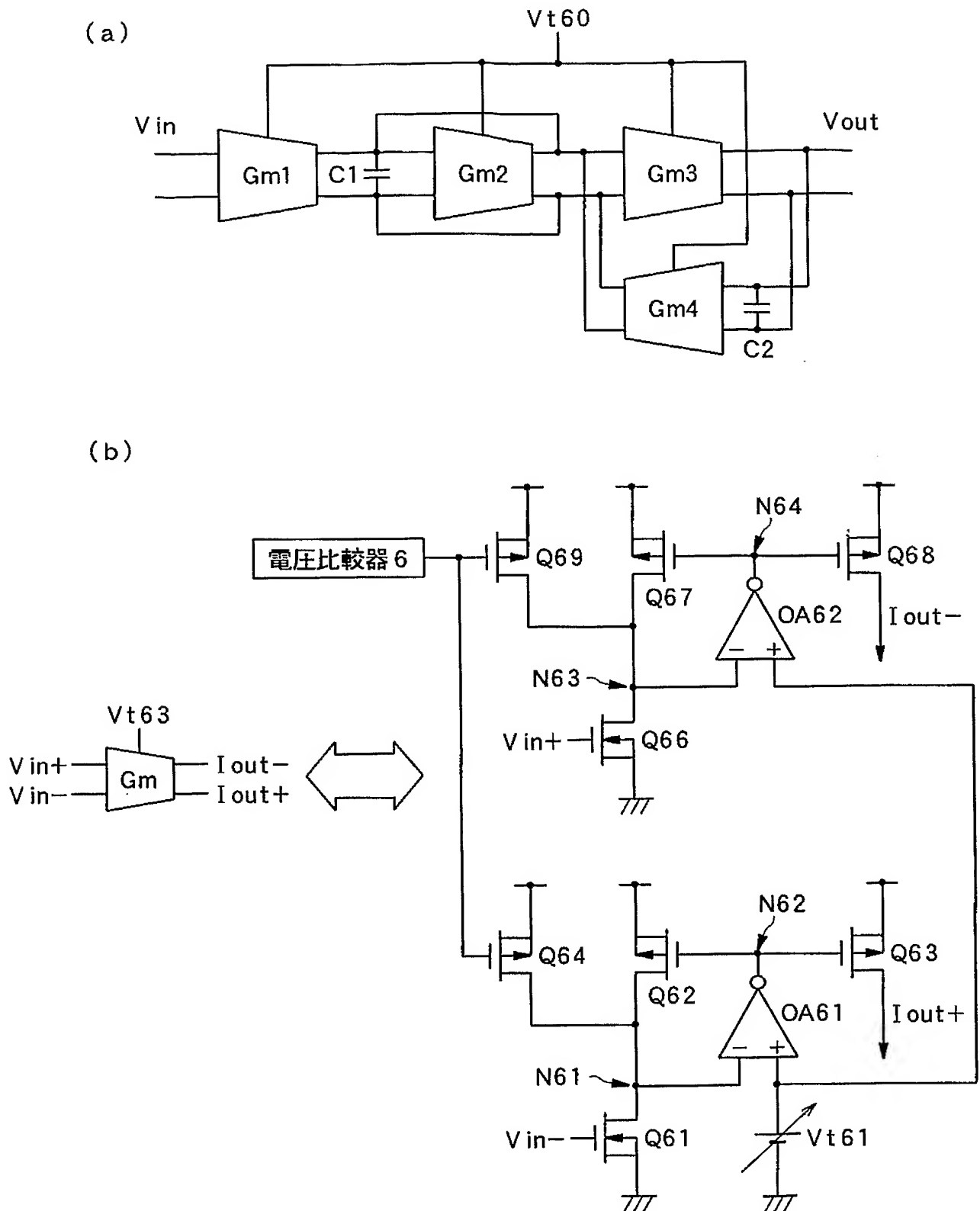
【図 9】



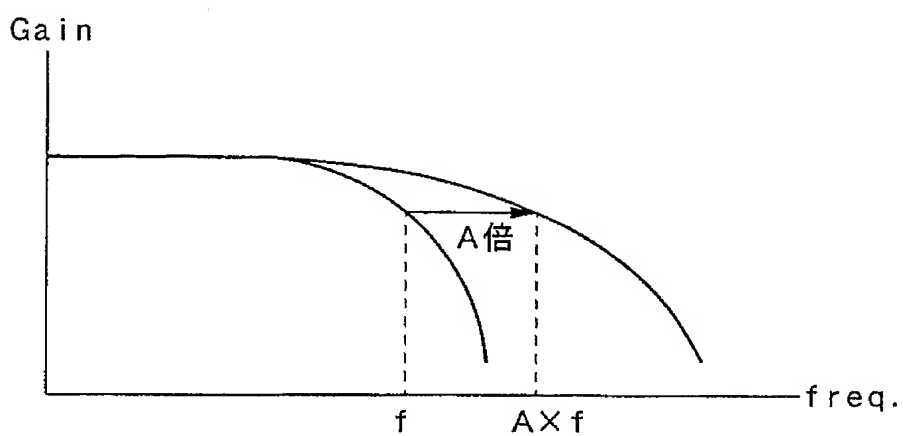
【図 10】



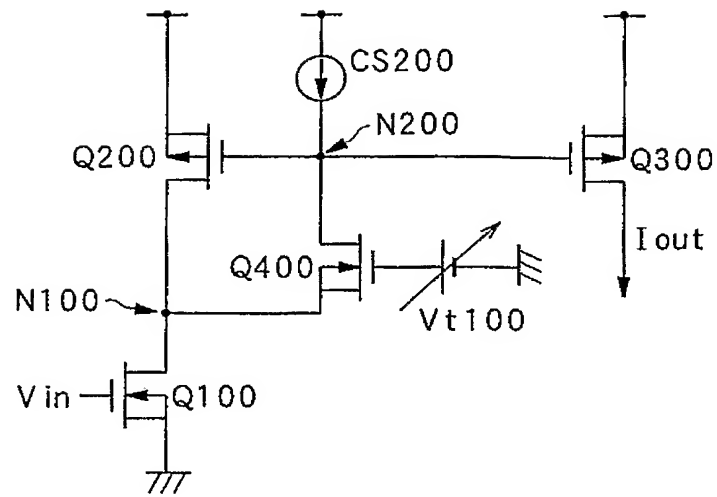
【図 11】



【図 12】



【図 14】



【書類名】要約書

【要約】

【課題】

多くの点数の素子を使用することなく、大きく利得範囲を変化させることのできる g_m アンプを提供することを課題とする。

【解決手段】

入力電圧信号に対して、三極管領域で電圧・電流変換を行う MOS トランジスタ Q_1 に、オペアンプ OA_1 と MOS トランジスタ Q_2 で構成された帰還回路が接続され、帰還回路内部のノード N_2 に、電流信号を出力する トランジスタ Q_3 が接続されている。 G_m 値を調整する際、電圧比較器 1 は、ノード N_2 の直流電位が参照電圧 V_{ref} を下回らないように、可変電流源 CS_{11} に信号を出力し、 Q_1 に電流を供給することを特徴とする。

【選択図】図 1

認定・付加情報

特許出願の番号	特願 2003-405601
受付番号	50301999647
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 16 年 2 月 20 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100083839
【住所又は居所】	東京都港区芝二丁目 1 7 番 1 1 号 パーク芝ビル 4 階 インテクト国際特許事務所
【氏名又は名称】	石川 泰男

【代理人】

【識別番号】	100109139
【住所又は居所】	東京都港区芝二丁目 1 7 番 1 1 号 パーク芝ビル 4 階 インテクト国際特許事務所
【氏名又は名称】	今井 孝弘

特願 2 0 0 3 - 4 0 5 6 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社